

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-240623

(43)Date of publication of application : 11.09.1998

(51)Int.Cl.

G06F 12/14
G06F 15/78

(21)Application number : 09-045094

(71)Applicant : NEC CORP

(22)Date of filing : 28.02.1997

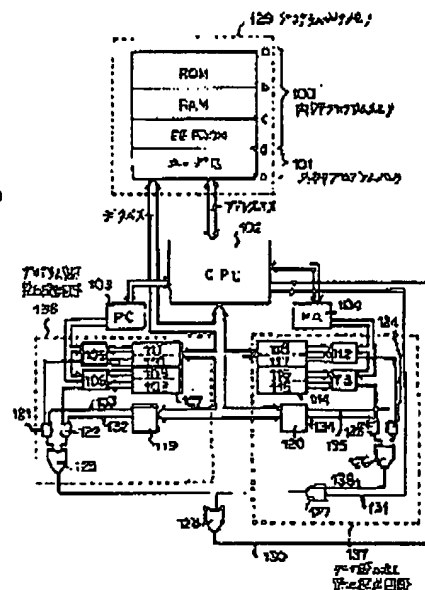
(72)Inventor : NISHIKAWA MICHIAKI

(54) MICRO COMPUTER WITH READ PROTECTION FUNCTION

(57)Abstract

PROBLEM TO BE SOLVED: To inhibit access to an address which requires to be protected and to realize access to an address which is not required to be protected by providing a means for detecting a program execution inhibition address and a read inhibition address and a means for inhibiting execution when the address is executed.

SOLUTION: The means for detecting the plural program execution inhibition addresses and plural read inhibition addresses and the means for inhibiting execution when the respective addresses are detected are provided. Namely, a program execution inhibition detection circuit 136 detects that the address is an execution inhibition address space. The address at the time of accessing to a program data memory 129 is substituted for an address register PA 104. A data read inhibition detection circuit 137 detects that the address of data is the access inhibition space. A reset generation circuit 128 outputs a signal 130 for resetting CPU 102 when the signals are simultaneously detected from the two detection circuits.



LEGAL STATUS

[Date of request for examination] 28.02.1997

[Date of sending the examiner's decision of rejection] 20.06.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998.2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-240623

(43) 公開日 平成10年(1998) 9月11日

(51) Int.Cl. ⁴	識別記号	F I
G 0 6 F 12/14	3 1 0	G 0 6 F 12/14 3 1 0 H
15/78	5 1 0	15/78 5 1 0 C

審査請求 有 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願平9-45084

(22) 出願日 平成9年(1997) 2月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 西川 道明

東京都港区芝五丁目7番1号 日本電気株式会社内

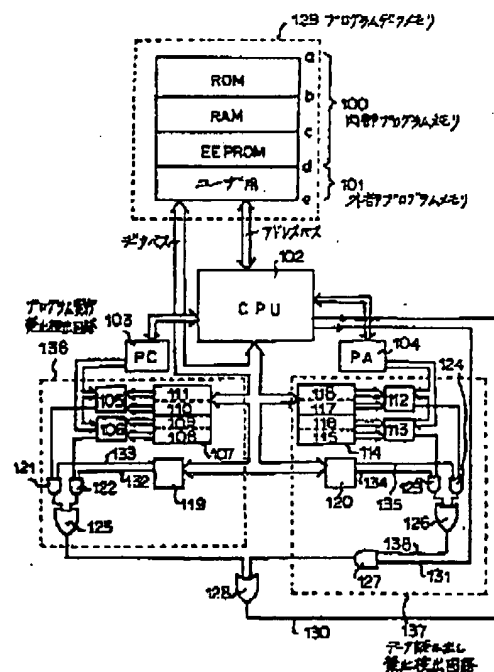
(74) 代理人 弁理士 鈴木 章夫

(54) 【発明の名称】 読み出し保護機能付きマイクロコンピュータ

(57) 【要約】

【課題】 外部プログラムからの内部プログラムやデータの読み出しを制限して保護を図る一方で、読み出しが禁止されないプログラムやデータの読み出しを可能とする。

【解決手段】 内部プログラムメモリ100及び外部プログラムメモリ101から命令をフェッチする際のアドレスを保持するレジスタ103と、このレジスタから出力された前記アドレスがプログラムの実行が禁止されたアドレス空間に存在するかどうかを検出する手段136(105、106)と、この検出手段により、前記アドレスがプログラムの実行が禁止されているアドレス空間であることが検出された場合に前記内部プログラムメモリ100の複数箇所の連続した任意のアドレス空間からのプログラム実行を禁止する手段128とを備えており、前記検出手段には内部プログラムメモリからのみアクセス可能な禁止空間設定レジスタ107を備える。



(2)

特開平10-240623

【特許請求の範囲】

【請求項1】 内部にプログラムメモリまたはデータメモリを有し、外部にプログラムメモリを増設する事ができるマイクロコンピュータにおいて、前記内部プログラムメモリ及び外部プログラムメモリから命令をフェッチする際のアドレスを保持するレジスタと、このレジスタから出力された前記アドレスがプログラムの実行が禁止されたアドレス空間に存在するか否かを検出する手段と、この検出手段により、前記アドレスがプログラムの実行が禁止されているアドレス空間であることが検出された場合に前記内蔵プログラムメモリの複数箇所の連続した任意のアドレス空間からのプログラム実行を禁止する手段とを備え、前記検出手段には内部プログラムメモリからのみアクセス可能な禁止空間設定レジスタを備えたことを特徴とする読み出し保護機能付きマイクロコンピュータ。

【請求項2】 内部にプログラムメモリまたはデータメモリを有し、外部にプログラムメモリを増設する事ができるマイクロコンピュータにおいて、前記内部プログラムメモリ及び外部プログラムメモリにアクセスする際のアドレスを保持するレジスタと、このレジスタから出力された前記アドレスがデータの読み出しが禁止されたアドレス空間に存在するか否かを検出する手段と、前記検出手段により、前記アドレスがデータの読み出しが禁止されているアドレス空間であることが検出された場合に前記内蔵プログラムメモリの複数箇所の連続した任意のアドレス空間からのデータの読み出しを禁止する手段とを備え、前記検出手段には内部プログラムメモリからのみアクセス可能な禁止空間設定レジスタを備えたことを特徴とする読み出し保護機能付きマイクロコンピュータ。

【請求項3】 内部にプログラムメモリまたはデータメモリを有し、外部にプログラムメモリを増設する事ができるマイクロコンピュータにおいて、前記内部プログラムメモリ及び外部プログラムメモリから命令をフェッチする際のアドレスを保持する第1のレジスタと、この第1のレジスタから出力された前記アドレスがプログラムの実行が禁止されたアドレス空間に存在するか否かを検出する第1の検出手段と、この第1の検出手段により、前記アドレスがプログラムの実行が禁止されているアドレス空間であることが検出された場合に前記内蔵プログラムメモリの複数箇所の連続した任意のアドレス空間からのプログラム実行を禁止する手段と、前記内部プログラムメモリ及び外部プログラムメモリにアクセスする際のアドレスを保持する第2のレジスタと、この第2のレジスタから出力された前記アドレスがデータの読み出しが禁止されたアドレス空間に存在するか否かを検出する第2の検出手段と、この第2の検出手段により、前記アドレスがデータの読み出しが禁止されているアドレス空間であることが検出された場合に前記内蔵プログラムメ

モリの複数箇所の連続した任意のアドレス空間からのデータの読み出しを禁止する手段と、前記第1および第2の検出手段にはそれぞれ内部プログラムメモリからのみアクセス可能な禁止空間設定レジスタを備えたことを特徴とする読み出し保護機能付きマイクロコンピュータ。

【請求項4】 前記禁止空間設定レジスタは、1以上の下限レジスタと上限レジスタの対で構成され、これら下限および上限レジスタによって前記連続した任意のアドレス空間を設定する請求項1ないし3のいずれかの読み出し保護機能付きマイクロコンピュータ。

【請求項5】 前記プログラムの実行及び読み出しが禁止されている空間をアクセスしていることが検出された場合に前記マイクロコンピュータの動作をリセットさせる手段を備える請求項4の読み出し保護機能付きマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は外部にプログラムメモリを増設し、この外部プログラムメモリに記憶されるユーザプログラムに基づいて動作することが可能なマイクロコンピュータに関し、特に内部に設けられたメモリに記憶されているプログラムやデータの読み出し保護を図ったマイクロコンピュータに関する。

【0002】

【従来の技術】外部プログラムメモリの増設が可能なマイクロコンピュータでは、増設された外部プログラムメモリのプログラムに基づいてマイクロコンピュータを動作させたときに、マイクロコンピュータの内部に設けられているプログラムメモリやデータメモリから秘匿性の高いプログラムやデータが読み出されるおそれがある。このため、この種の読み出し保護を図ったマイクロコンピュータが提案されている。例えば、特開平7-200413号公報の技術では、プログラムカウンタから出力されたアドレスが内蔵プログラムメモリのアドレス空間に存在するか否かを検出し、このアドレスが内蔵プログラムメモリのアドレス空間に存在しない場合に内蔵プログラムメモリの読み出しを禁止する技術が記載されている。また、特開平5-173890号公報の技術では、携帯データキャリア用データ保護マイクロプロセッサにおいて、ユーザプログラムの実行による不法記憶領域へのアクセスを禁止するために用いられている。

【0003】この技術を図3を用いて説明する。同図において、310はマイクロプロセッサ、311は制御ユニット、312は論理演算ユニット、313はレジスタファイル、315はデータレジスタ、PCはプログラムカウンタである。また、330はメモリアレイであり、RAM領域331、ROM領域332、EEPROM領域333、EEPROM領域334で構成される。そして、前記マイクロプロセッサ310に保護回路320が設けられており、その比較器321はアドレスレジスタ

(3)

特開平10-240623

3

314と補助レジスタ322の内容を比較し、アドレスレジスタ314内のアドレス値が補助レジスタ322内のアドレスwよりも小さな場合、二次プログラムが不法記憶領域にアクセスしていると判断し、信号を出力する。また、比較器323はプログラムカウンタPCと補助レジスタ324の内容を比較し、前記PCの内容がレジスタ324内のアドレスwと等しいか、またはそれ以上の場合、二次プログラムが実行中であるとして信号を出力する。比較器321と323の双方から信号出力があると、ANDゲート325はライン326を介して制御ユニット311にリセット信号を出力し、二次プログラムの実行を阻止する。

【0004】

【発明が解決しようとする課題】このような従来の技術のマイクロコンピュータでは、ユーザプログラムが実行されているときにアクセスされるアドレスを、予め設定されたアドレスと比較し、ユーザプログラムの配置されているアドレス範囲を越えるようなアクセスを行った場合にそのアクセスを禁止させる構成とされているが、この前提されたアドレスは1箇所しか設定していないため、この条件を満たすアドレスへのアクセスは全く不可能になる。このため、仮にシステム内にあるデータの保護を必要としない公のデータ及びサブルーチン等が存在する場合でも、これらに対してのアクセスを行うことができず、マイクロコンピュータにおけるユーザプログラムの機能を十分に生かすことができないという問題が生じる。

【0005】本発明の目的は、保護が必要とされるアドレスへのアクセスを禁止する一方で、保護が必要とされないアドレスへのアクセスを可能にし、ユーザプログラムの機能を十分に生かすことが可能な読み出し保護機能付きマイクロコンピュータを提供することにある。

【0006】

【課題を解決するための手段】本発明は、内部プログラムメモリ及び外部プログラムメモリから命令をフェッチする際のアドレスを保持するレジスタと、このレジスタから出力された前記アドレスがプログラムの実行が禁止されたアドレス空間に存在するか否かを検出する手段と、この検出手段により、前記アドレスがプログラムの実行が禁止されているアドレス空間であることが検出された場合に前記内蔵プログラムメモリの複数箇所の連続した任意のアドレス空間からのプログラム実行を禁止する手段とを備え、前記検出手段には内部プログラムメモリからのみアクセス可能な禁止空間設定レジスタを備えている。

【0007】また、本発明は、内部プログラムメモリ及び外部プログラムメモリにアクセスする際のアドレスを保持するレジスタと、このレジスタから出力された前記アドレスがデータの読み出しが禁止されたアドレス空間に存在するか否かを検出する手段と、前記検出手段によ

4

り、前記アドレスがデータの読み出しが禁止されているアドレス空間であることが検出された場合に前記内蔵プログラムメモリの複数箇所の連続した任意のアドレス空間からのデータの読み出しを禁止する手段とを備え、前記検出手段には内部プログラムメモリからのみアクセス可能な禁止空間設定レジスタを備えている。

【0008】ここで、前記禁止空間設定レジスタは、1以上の下限レジスタと上限レジスタの対で構成され、これら下限および上限レジスタによって前記連続した任意のアドレス空間を設定する構成とされる。また、前記プログラムの実行及び読み出しが禁止されている空間をアクセスしていることが検出された場合に前記マイクロコンピュータの動作をリセットさせる手段を備える。このように、1つのユーザプログラムに対して、データメモリの読み出し禁止範囲及びプログラム実行禁止範囲を複数設定することを可能とし、また、ユーザプログラムの種類によって、設定された読み出し禁止範囲の数を可変するように構成する。

【0009】

【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図1は本発明の第1の実施形態のマイクロコンピュータのブロック図である。同図において、プログラムデータメモリ129は、プログラムを記憶する内部プログラムデータメモリ100と、外部プログラムメモリ101とで構成される。そして、前記プログラムデータメモリ129のプログラムを実行するCPU102と、プログラムデータメモリ129から命令をフェッチする際のアドレスを出力するプログラムカウンタ(PC)103と、そのアドレスが実行禁止アドレス空間であることを検出するプログラム実行禁止検出回路136と、前記プログラムデータメモリ129にアクセスする際のアドレスが代入されるアドレスレジスタ(PA)104と、このデータのアドレスがアクセス禁止空間であることが検出するデータ読み出し禁止検出回路137と、前記2つの検出回路から同時に信号が検出された時にCPU102をリセットする信号130を出力するリセット発生回路128、ここではORゲートとで構成されている。

【0010】前記プログラム実行禁止検出回路136は、実行禁止範囲設定レジスタ107と、このレジスタ107のデータとプログラムデータメモリ129から命令をフェッチする際のPC103のアドレスとを比較し、PC103の値が実行禁止範囲内であれば検出信号を出力する比較器105、106と、実行禁止範囲の設定数を記憶するレジスタ119と、このレジスタ119の信号132、133と前記比較器105、106の出力を入力とする検出許可回路121、122と、前記許可回路121、122の出力信号を入力とするプログラム実行禁止信号発生回路125を備えている。なお、前記レジスタ107は、下限レジスタ108、110と上

(4)

特開平10-240623

5

限レジスタ109, 111で構成されている。

【0011】一方、前記データ読み出し禁止検出回路137は、データ読み出し禁止範囲設定レジスタ114と、このレジスタ114のデータとPA104からのデータとを比較しPA104の値がデータ読み出し禁止範囲内であれば検出信号を出力する比較器112, 113と、データ読み出し禁止範囲の設定数を記憶するレジスタ120と、このレジスタ120の信号134, 135と前記比較器112, 113の出力信号を入力とする検出許可回路123, 124と、これら検出許可回路123, 124の出力を入力とするデータ読み出し禁止要求信号発生回路126と、このデータ読み出し禁止要求信号発生回路126の出力信号であるデータ読みだし禁止要求信号138と前記CPU102からのデータリード信号131を入力とする読み出し禁止信号発生回路127を備えている。なお、前記レジスタ114は、下限レジスタ115, 117と上限レジスタ116, 118で構成されている。

【0012】次に動作について説明する。マイクロコンピュータがリセット直後の状態では実行禁止範囲設定レジスタ107、読み出し禁止範囲設定レジスタ114、実行禁止範囲設定数レジスタ119及び読み出し禁止範囲設定数レジスタ120は製造業者が予め設定した値となっている。この時に外部プログラムメモリ101にユーザプログラムがロードされた場合、CPU102は外部プログラムメモリ101にプログラムがロードされた事を検知して、そのユーザの種類を判別してオペレーティングシステム内にある前記ユーザ用の実行禁止範囲設定レジスタ107、読み出し禁止範囲設定レジスタ114、実行禁止範囲設定数レジスタ119及び読み出し禁止範囲設定数レジスタ120の値を設定する。例えば、今プログラムデータメモリ129においてプログラム実行を禁止したい範囲をa~dとし、読み出し禁止にしたい範囲をa~b, c~dとしたい場合は、実行禁止範囲設定レジスタ107の下限レジスタ108に「a」、上限レジスタ109に「d」が代入され、実行禁止範囲設定数レジスタ119には「1」が代入される。また、読み出し禁止範囲設定レジスタ114の下限レジスタ115に「a」、上限レジスタ116に「b」、下限レジスタ117に「c」、上限レジスタ118に「d」が代入され、読み出し禁止範囲設定数レジスタ120には「2」が代入される。

【0013】この状態においてCPU102がユーザプログラムを実行して、プログラムデータメモリ129のa~b内に配置されているサブルーチンをコールしようとした場合、先ずプログラムデータメモリ129から命令をフェッチする際のアドレスがPC103に代入される。そうするとプログラム実行禁止検出回路136の比較器105, 106に前記PC103の値が入力される。これにより、比較器106に入力されている下限レ

6

ジスタ108及び上限レジスタ109とPC103の値が比較され、PC103の値が下限レジスタ108以上でかつ上限レジスタ109以下であるため、比較器106は検出信号“H”を出力する。また比較器105の検出信号は下限レジスタ110及び上限レジスタ111の初期値によって“H”もしくは“L”の任意の信号が出力される。

【0014】そうすると今、実行禁止範囲設定数レジスタ119は「1」に設定されているので、このレジスタ119の出力信号132は“H”、出力信号133は“L”として出力され、検出許可回路122の入力には比較器106の出力“H”および実行禁止範囲設定数レジスタ119の出力信号132の“H”が入力される。このため、検出許可回路122は、2つの入力信号が共に“H”なので、論理積をとるとその出力は“H”となる。この“H”の出力は、不正にシステム内のルーチンを実行しようとしていることを検知したことを意味している。

【0015】また、検出許可回路121の出力は実行禁止範囲設定数レジスタ119の出力信号133が“L”であるために事実上比較器105の比較結果は無視される。よって、データ読み出し禁止信号発生回路125の出力は検出許可回路122および検出許可回路121の論理和となるので“H”となる。よって不正に命令を実行していると判断することが出来る。また、今は読み出し中ではないのでCPU102からのリード信号131は“L”となり、リセット発生回路128の入力はプログラム実行禁止信号が“H”で読み出し禁止信号が“L”でリセット信号が発生し、CPU102をリセットすることによってユーザプログラムの実行を禁止することができる。

【0016】また、ユーザプログラム実行中にプログラムデータメモリ129のc~dの空間のデータを読み出そうとしたときには、プログラム実行禁止検出回路136の比較器106はPC103の値が下限レジスタ108以上、上限レジスタ109以下の範囲ではないので検出信号“L”を出力する。また実行禁止範囲設定レジスタ119は「1」となっているため、実行禁止範囲設定数カウンタ119の出力信号133は“L”、出力信号132は“H”となりこれらの信号を入力とする検出許可回路121, 122の出力は共に“L”となる。よって、プログラム実行禁止検出回路136の出力は“L”となる。

【0017】一方、データ読み出し禁止検出回路137は、プログラムデータメモリ129にアクセスするときのアドレスが代入されるPA104の値が下限レジスタ115の値以上でかつ上限レジスタ116以下の両方の条件を満たしていないので比較器113の出力である検出信号は“L”となり、また前記PA104の値が下限レジスタ117の値以上でかつ上限レジスタ118以下

(5)

特開平10-240623

7

の両方の条件を満たしているため、比較器112の出力である検出信号は“H”となり、さらに読み出し禁止範囲設定数カウンタ120は“2”となっているので、このカウンタ120の出力信号134、135は共に“H”となり、検出許可回路123は“L”、検出許可回路124は“H”を出力する。これにより、データ読み出し禁止要求信号発生回路126は“H”を出力する。また、今読み出し中なのでCPU102からのリード信号131は“H”であるため、データ読み出し禁止信号はそのままリセット信号発生回路128の入力となりリセット信号発生回路128の出力は“H”となり、リセット信号が発生し、CPU102をリセットすることによって読み出し禁止範囲からの読み出しを禁止することができる。

【0018】図2は本発明の第2の実施形態のマイクロコンピュータのブロック図である。この読み出し保護機能付きマイクロコンピュータは、複数のユーザが外部プログラムメモリ202にロードすることができ、かつそのユーザのレベルに応じて内部プログラムデータメモリ201の読み出し範囲を伸長させたいときに使用される。同図において、プログラムデータメモリ200は、前記したプログラムを記憶する内部プログラムデータメモリ201と外部プログラムデータメモリ202とで構成される。これに、前記プログラムを実行するCPU203と、プログラムデータメモリ200から命令をフェッチする際のアドレスが出力されるPC204と、このアドレスが実行禁止アドレス空間であることを検出するプログラム実行禁止検出回路229と、プログラムデータメモリ200からデータを読み出すときのアドレスが代入されるPA205と、このアドレスがアクセス禁止空間であることを検出するデータ読み出し禁止検出回路230と、前記2つの検出回路229、230から同時に信号が検出された時に前記CPU203をリセットするリセット発生回路228で構成されている。

【0019】前記プログラム実行禁止検出回路229は、実行禁止範囲設定レジスタ207と、このレジスタ207のデータとプログラムデータメモリ200から命令をフェッチする際のPC204のデータとを比較し、PC204の値が実行禁止範囲内であれば検出信号を出力する比較器206と、実行禁止範囲の設定数を記憶するレジスタ210と、このレジスタ210の信号211と前記比較器206の出力を入力とするプログラム実行禁止信号発生回路211を備えている。なお、前記実行禁止範囲設定レジスタ207は上限レジスタ208と下限レジスタ209とで構成される。

【0020】また、データ読み出し禁止検出回路230は、データ読み出し禁止範囲設定レジスタ212と、このレジスタ212のデータとプログラムデータメモリ200からデータを読み出す際のPA205のデータとを比較し、PA205の値がデータ読み出し禁止範囲内

8

であれば検出信号を出力する比較器219、220、221と、データ読み出し禁止範囲の設定数を記憶するレジスタ222と、このレジスタ222の信号232、233、234と前記比較器219、220、221の出力信号を入力とする検出許可回路223、224、225と、これらの回路223、224、225の出力を入力とするデータ読み出し禁止要求信号発生回路226と、この回路226の出力信号であるデータ読み出し禁止要求信号とCPU203からのデータリード信号231を入力とする読み出し禁止信号発生回路227を備えている。なお、前記レジスタ212は下限レジスタ213、215、217と上限レジスタ214、216、218とで構成される。

【0021】以上のように、プログラム実行禁止検出回路229及びデータ読み出し禁止検出回路230の基本的な構成は第1の実施形態とほとんど同じである。ただし、この実施形態においては、実行禁止範囲設定レジスタ207とデータ読み出し禁止範囲設定レジスタ212が共に論理配線によって製造業者が予め設定した値以外に変更することができないように構成されている点で、前記第1の実施形態とは構成が相違している。

【0022】次に動作について説明する。マイクロコンピュータがリセット直後の状態で実行禁止範囲設定レジスタ207、読み出し禁止範囲設定レジスタ212、実行禁止範囲設定数レジスタ210及び読み出し禁止範囲設定数レジスタ222は製造業者が予め設定した値となっている。その時に、外部プログラムメモリ202にユーザプログラムがロードされた場合、CPU203は外部プログラムメモリ202にプログラムがロードされた事を知り、そのユーザの種類を判別してオペレーティングシステム内にある前記ユーザ用の実行禁止範囲設定数レジスタ210、及び読み出し禁止範囲設定数レジスタ222の値のみを設定する。

【0023】例えば、今製造業者により、実行禁止範囲設定レジスタ207の下限レジスタ209にアドレス「a」、上限レジスタ208にアドレス「e」、読み出し禁止範囲設定レジスタ212の下限レジスタ213にアドレス「a」、上限レジスタ214にアドレス「c」、下限レジスタ215にアドレス「c」、上限レジスタ216にアドレス「d」、下限レジスタ217にアドレス「d」、上限レジスタ218にアドレス「e」が設定されているとし、前記ユーザ用の実行禁止範囲設定数レジスタ210の値が「1」、読み出し禁止範囲設定数レジスタ222の値が「2」となっているとすると、この場合、内部プログラムメモリを実行したら、比較器206がアドレスa～eの範囲であるために検出信号を出力してCPU203をリセットしてプログラムの実行を阻止する。よって外部プログラムメモリ範囲以外でのプログラムはできない。

【0024】次に、内部プログラムデータメモリ201

(6)

特開平10-240623

9

のアドレスd～eの範囲を読み出した場合、比較器219の検出信号は“L”、比較器220の検出信号は“L”、比較器221の検出信号は“H”となる。しかし、読み出し禁止範囲設定レジスタ212の出力信号232及び出力信号233は“H”、出力信号234は“L”となり、データ読み出し禁止要求信号は“L”となるので問題なくデータを読み出せる。

【0025】また、内部プログラムデータメモリ201のアドレスc～dの範囲を読み出した場合、比較器219の検出信号は“L”、比較器220の検出信号は“H”、比較器221の検出信号は“L”となり、読み出し禁止範囲設定レジスタ212の出力信号は前記信号と同じレベルであるために出力信号233及び比較器220の検出信号は共に“H”であるためにデータ読み出し禁止要求信号が“H”となりCPU203がリセットされプログラムデータメモリc～dの読み出しを阻止することができる。

【0026】ここでもし読み出し禁止範囲設定数レジスタ222の値が「1」となっていた場合、前記同様に内部プログラムデータメモリ201のアドレスc～dの範囲を読み出したとき、比較器の検出信号は前記と同じレベルであるが読み出し禁止範囲設定レジスタ212の出力信号233が“L”となるので検出許可回路224の出力は“L”となるため、データ読み出し禁止要求信号が“L”となり問題なくデータを読み出すことができる。

【0027】

【発明の効果】以上説明したように本発明は複数のプログラム実行禁止アドレス及び複数の読みだし禁止アドレスを検出する手段と、それぞれのアドレスを検出したときに実行を禁止する手段とを設けているので、任意の連続した複数のアドレス空間に対してのプログラムの実行及び読み出し禁止を行うことができる。これにより、本発明では、予め複数の読みだし禁止範囲アドレスを設定しておき、ユーザの種類によって読み出し禁止範囲設定レ

10

ジスタの値を任意に調整することによって読み出しできる範囲を限定させることができ、読み出しを禁止する必要があるプログラムやデータのみを確実に保護することができる一方で、読み出しを禁止する必要がないプログラムやデータの読み出しを可能にすることができる。

【図面の簡単な説明】

【図1】本発明のマイクロコンピュータの第1の実施形態のブロック図である。

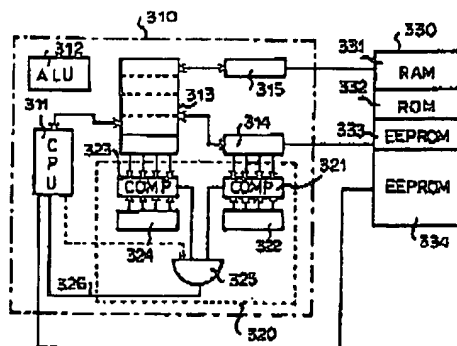
【図2】本発明のマイクロコンピュータの第2の実施形態のブロック図である。

【図3】従来マイクロコンピュータの一例のブロック図である。

【符号の説明】

100, 201 内部プログラムメモリ
101, 202 外部プログラムメモリ
102, 203 CPU
103, 204 プログラムカウンタ
105, 106, 112, 113, 206, 219, 220, 221 比較器
107, 207 実行禁止範囲設定レジスタ
108, 110, 115, 117, 209, 213, 215, 217 下限レジスタ
109, 111, 116, 118, 208, 214, 216, 218 上限レジスタ
114, 212 データ読み出し禁止範囲設定レジスタ
119, 210 実行禁止範囲設定数レジスタ
120, 222 読み出し禁止範囲設定数レジスタ
121, 122, 123, 124, 223, 224, 225 検出許可回路
125, 211 プログラム実行禁止信号発生回路
126, 226 データ読み出し禁止要求信号発生回路
127, 227 読み出し禁止信号発生回路
128, 228 リセット発生回路
129, 200 プログラムデータメモリ

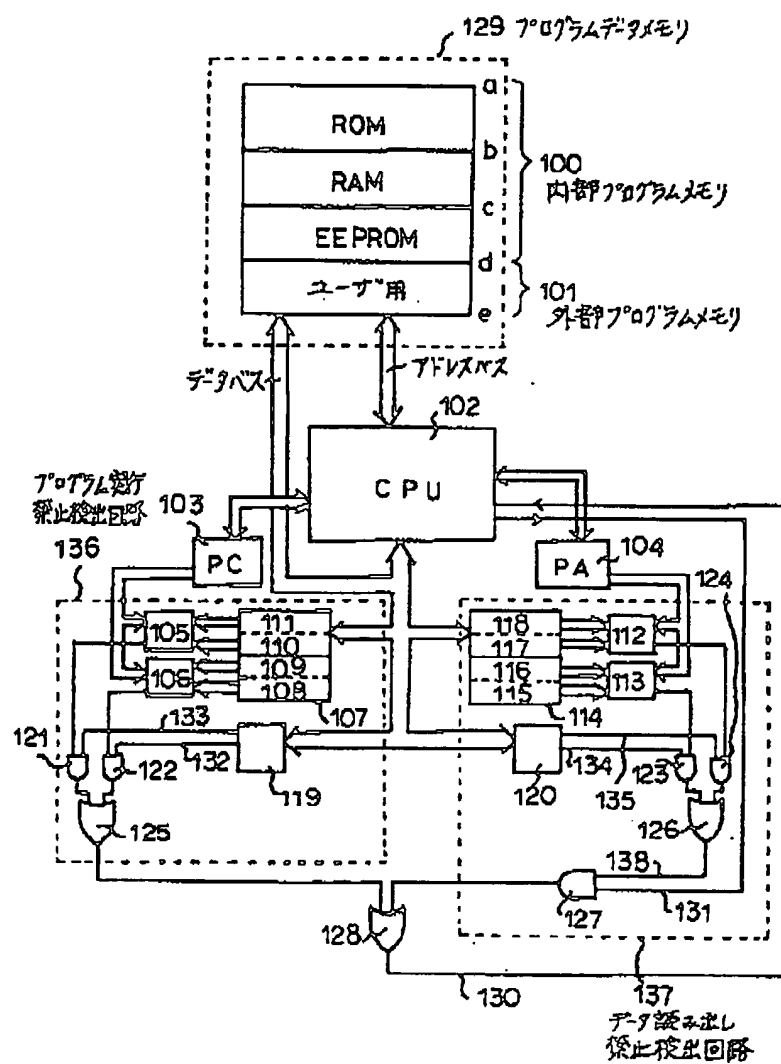
【図3】



(7)

特開平10-240623

【図1】



(8)

特開平10-240623

【図2】

